

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-50351

(43) 公開日 平成7年(1995)2月21日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/8247				
29/788				
29/792				
27/10	3 7 1	7210-4M		
H 0 1 L 29/ 78 3 7 1				
審査請求 未請求 請求項の数 5 F D (全 11 頁)				

(21) 出願番号 特願平5-210909

(22) 出願日 平成5年(1993)8月3日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 野田 昌敬

東京都品川区北品川6丁目7番35号 ソニー株式会社内

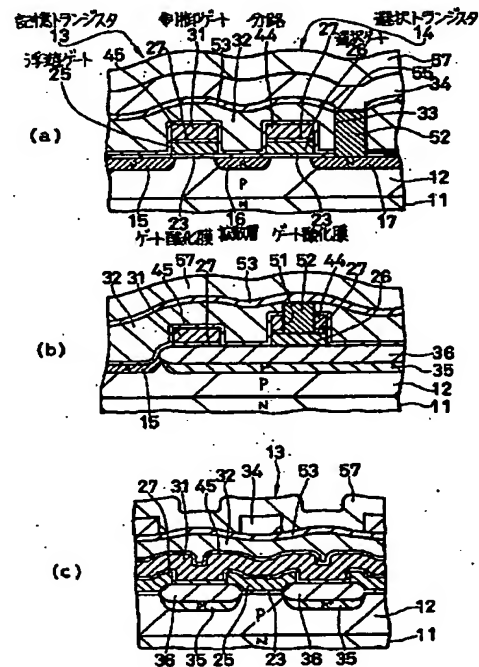
(74) 代理人 弁理士 土屋 勝

(54) 【発明の名称】 不揮発性半導体記憶装置並びにその製造方法及び使用方法

(57) 【要約】

【目的】 高集積化を可能にすると共に、製造工程を少なくして製造コストを低減させる。

【構成】 ビット線34に5Vを印加すると共に、制御ゲート31に-10Vを印加し、これらによるファウラーノルドハイムトンネリングによって、浮遊ゲート25から電子を引き抜く。このため、拡散層16、17に電界緩和層を設ける必要がない。また、記憶トランジスタ13におけるゲート酸化膜23の膜厚と選択トランジスタ14におけるゲート酸化膜23の膜厚とを同じにすることができて、これらのゲート酸化膜23を同時に形成することができる。



1

【特許請求の範囲】

【請求項 1】 浮遊ゲート及び制御ゲートを有する記憶トランジスタと選択トランジスタとで記憶セルが構成されている不揮発性半導体記憶装置において、前記浮遊ゲートに対してファウラーノルドハイムトンネリングを生じさせる第 1 のゲート誘電体膜の膜厚と前記選択トランジスタにおける第 2 のゲート誘電体膜の膜厚とが互いに等しいことを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記選択トランジスタのゲート電極と前記浮遊ゲートとが同一層の導電体層から成っていることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】 前記制御ゲートと同一層の導電体層から成る配線が、前記ゲート電極と同一の平面形状でこのゲート電極の上層に配置されており且つこのゲート電極と電気的に短絡されていることを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

【請求項 4】 前記第 1 及び第 2 のゲート誘電体膜を同時に形成することを特徴とする請求項 1 記載の不揮発性半導体記憶装置の製造方法。

【請求項 5】 前記記憶トランジスタのドレインに正電位を印加すると共に前記制御ゲートに負電位を印加することによる前記ファウラーノルドハイムトンネリングによって、前記浮遊ゲートから電子を引き抜くことを特徴とする請求項 1 記載の不揮発性半導体記憶装置の使用法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本願の発明は、記憶トランジスタと選択トランジスタとで記憶セルが構成されている不揮発性半導体記憶装置並びにその製造方法及び使用方法に関するものである。

【0002】

【従来の技術】 図 13 は、不揮発性半導体記憶装置の一従来例における記憶セルを示している。この一従来例では、N 型の半導体基板 11 中に P 型のウェル 12 が設け*

2

*られており、このウェル 12 に設けられている記憶トランジスタ 13 と選択トランジスタ 14 とで記憶セルが構成されている。そして、ウェル 12 中には、N 型の拡散層 15～17 と N- 型の拡散層 21、22 とが設けられている。

【0003】 半導体基板 11 上には、ゲート酸化膜 23、24 を介して、記憶トランジスタ 13 の浮遊ゲート 25 と選択トランジスタ 14 のゲート電極つまり選択ゲート 26 とが設けられている。浮遊ゲート 25 上には、容量結合絶縁膜 27 を介して、制御ゲート 31 が設けられており、選択ゲート 26 及び制御ゲート 31 等は平坦化絶縁膜 32 に覆われている。平坦化絶縁膜 32 には拡散層 17 に達するコンタクト孔 33 が設けられており、このコンタクト孔 33 を介して、ビット線 34 が拡散層 17 にコンタクトしている。なお、拡散層 15 がソース線になっている。

【0004】 この様な不揮発性半導体記憶装置における書込動作では、記憶トランジスタ 13 の浮遊ゲート 25 からドレインである拡散層 21、16 へファウラーノルドハイムトンネリングで電子を引き抜くことによって、記憶トランジスタ 13 をデプレション化つまりオン状態にする。また、消去動作では、拡散層 21、16 から浮遊ゲート 25 へファウラーノルドハイムトンネリングで電子を注入することによって、記憶トランジスタ 13 をエンハンスメント化つまりオフ状態にする。

【0005】 選択トランジスタ 14 をオン状態にすることによって、記憶トランジスタ 13 もオン状態であればビット線 34 からソース線である拡散層 15 へ電流が流れ、記憶トランジスタ 13 がオフ状態であればこの電流が流れないので、読出動作では、この電流によって記憶情報を判定する。そして、図 13 に示した不揮発性半導体記憶装置では、これらの動作を行うために、次の表 1 の様な電位を印加していた。

【0006】

【表 1】

	書 込	消 去	読 出
選択ゲート	15V	3V	3V
制御ゲート	0V	15V	0V
ビット線	15V	0V	3V
ソース線	3V	0V	0V
ウェル	0V	0V	0V

【0007】 ところで、上の表 1 に示した様に、書込時 50 にはビット線 34 に 15V の電位を印加するので、記憶

3

トランジスタ 13 のドレインである拡散層 16 の端部と選択トランジスタ 14 のドレインである拡散層 17 の端部とで接合降伏を生じない様に、これらの拡散層 16、17 に電界緩和層としての N- 型の拡散層 21、22 が設けられている。

【0008】また、ゲート酸化膜の長期の信頼性を保証するためには、ゲート酸化膜に印加される電界を一般的には 5 MV cm^{-1} 以下にする必要がある。従って、15 V の電位をオン/オフする選択トランジスタ 14 では、30 nm 以上の膜厚のゲート酸化膜 24 が必要である。

【0009】一方、記憶トランジスタ 13 においてファウラーノルドハイムトンネリングで電子の引き抜き及び注入を行う部分には、 $9\sim 10\text{ MV cm}^{-1}$ 程度の電界を印加する必要がある。従って、ファウラーノルドハイムトンネリングを行う部分には、10 nm 程度の膜厚のゲート酸化膜 23 が設けられている。

【0010】

【発明が解決しようとする課題】しかし、図 13 及び表 1 に示した一従来例では、電界緩和層としての N- 型の拡散層 21、22 を設ける必要があるため、高集積化が難しかった。また、ゲート酸化膜 23 とゲート酸化膜 24 とで膜厚が互いに異なっているため、これらのゲート酸化膜 23、24 を同時に形成することができず、製造工程が多くて、製造コストが高かった。

【0011】

【課題を解決するための手段】請求項 1 の不揮発性半導体記憶装置は、浮遊ゲート 25 及び制御ゲート 31 を有する記憶トランジスタ 13 と選択トランジスタ 14 とで記憶セルが構成されている不揮発性半導体記憶装置において、前記浮遊ゲート 25 に対してファウラーノルドハイムトンネリングを生じさせる第 1 のゲート誘電体膜 23 の膜厚と前記選択トランジスタ 14 における第 2 のゲート誘電体膜 23 の膜厚とが互いに等しいことを特徴としている。

【0012】請求項 2 の不揮発性半導体記憶装置は、請求項 1 の不揮発性半導体記憶装置において、前記選択トランジスタ 14 のゲート電極 26 と前記浮遊ゲート 25 とが同一層の導電体層から成っていることを特徴としている。

【0013】請求項 3 の不揮発性半導体記憶装置は、請求項 2 の不揮発性半導体記憶装置において、前記制御ゲート 31 と同一層の導電体層から成る配線 44 が、前記ゲート電極 26 と同一の平面形状でこのゲート電極 26 の上層に配置されており且つこのゲート電極 26 と電気的に短絡されていることを特徴としている。

【0014】請求項 4 の不揮発性半導体記憶装置の製造方法は、請求項 1 の不揮発性半導体記憶装置を製造するに際して、前記第 1 及び第 2 のゲート誘電体膜 23 を同時に形成することを特徴としている。

4

【0015】請求項 5 の不揮発性半導体記憶装置の使用方法は、請求項 1 の不揮発性半導体記憶装置を使用するに際して、前記記憶トランジスタ 13 のドレイン 16 に正電位を印加すると共に前記制御ゲート 31 に負電位を印加することによる前記ファウラーノルドハイムトンネリングによって、前記浮遊ゲート 25 から電子を引き抜くことを特徴としている。

【0016】

【作用】請求項 1 の不揮発性半導体記憶装置では、記憶トランジスタ 13 の浮遊ゲート 25 に対してファウラーノルドハイムトンネリングを生じさせるゲート誘電体膜 23 と、選択トランジスタ 14 におけるゲート誘電体膜 23 とを、同時に形成することができる。

【0017】請求項 2 の不揮発性半導体記憶装置では、選択トランジスタ 14 のゲート電極 26 と記憶トランジスタ 13 の浮遊ゲート 25 とを同時に形成することができる。

【0018】請求項 3 の不揮発性半導体記憶装置では、選択トランジスタ 14 のゲート電極 26 に電気的に短絡されている配線 44 が、このゲート電極 26 の分路になっている。しかも、この配線 44 が、記憶トランジスタ 13 の制御ゲート 31 と同一層の導電体層から成っており、且つ選択トランジスタ 14 のゲート電極 26 と同一の平面形状であるため、この配線 44 を記憶トランジスタ 13 の制御ゲート 31 及び選択トランジスタ 14 のゲート電極 26 と同時に形成することができる。

【0019】請求項 4 の不揮発性半導体記憶装置の製造方法では、記憶トランジスタ 13 の浮遊ゲート 25 に対してファウラーノルドハイムトンネリングを生じさせるゲート誘電体膜 23 と、選択トランジスタ 14 におけるゲート誘電体膜 23 とを、同時に形成しているため、製造工程が少ない。

【0020】請求項 5 の不揮発性半導体記憶装置の使用方法では、記憶トランジスタ 13 における浮遊ゲート 25 からの電子の引き抜きに際して、制御ゲート 31 を接地する方法等と比べて、ビット線 34 に印加する電位が低くてよい。このため、記憶トランジスタ 13 のドレイン 16 等に電界緩和層を設ける必要がなく、また、選択トランジスタ 14 におけるゲート誘電体膜 23 の膜厚を、記憶トランジスタ 13 における浮遊ゲート 25 に対してファウラーノルドハイムトンネリングを生じさせるゲート誘電体膜 23 の膜厚と同じにすることができる。

【0021】

【実施例】以下、本願の発明の一実施例を、図 1～12 を参照しながら説明する。なお、図 13 に示した一従来例と対応する構成部分には、同一の符号を付してある。図 1 が本実施例における記憶セルを示しており、図 2 が複数の記憶セルを行列状に配置した記憶セルアレイを示している。

【0022】この様な本実施例を製造するためには、図

5

3に示す様に、N型の半導体基板11中にP型のウェル12を形成した後、行列状に孤立している素子分離領域にP+型のチャネルストッパ35を形成する。そして、チャネルストッパ35上にフィールド絶縁膜36を形成し、このフィールド絶縁膜36に囲まれている素子活性領域の表面に膜厚が10nmのゲート酸化膜23を形成する。

【0023】次に、図4に示す様に、リンをドーブした多結晶Si膜37を全面に堆積させた後、図4及び図2(b)に示す様に、記憶トランジスタ13の制御ゲート31の延在方向で浮遊ゲート25を各記憶セル毎に分断するパターンに、多結晶Si膜37上でフォトレジスト41を加工する。

【0024】次に、図5に示す様に、フォトレジスト41をマスクにして多結晶Si膜37をパターンニングした後、フォトレジスト41を除去する。そして、浮遊ゲート25と制御ゲート31との容量結合絶縁膜27であるONO膜及びタングステンポリサイド膜42を、順次に全面に堆積させる。

【0025】次に、図6に示す様に、制御ゲート31及び選択ゲート26のパターンに、タングステンポリサイド膜42上でフォトレジスト43を加工する。そして、このフォトレジスト43をマスクにして、タングステンポリサイド膜42と容量結合絶縁膜27と多結晶Si膜37とを順次に選択的に除去して、多結晶Si膜37から浮遊ゲート25及び選択ゲート26を形成し、タングステンポリサイド膜42から制御ゲート31及び選択ゲート26の分路44を形成する。

【0026】次に、図7に示す様に、制御ゲート31及び浮遊ゲート25、分路44及び選択ゲート26、並びにフィールド絶縁膜36をマスクにして、N型の拡散層15~17をウェル12中に形成する。このうちの拡散層15は、共通ソース線になっている。そして、PSGから成る層間絶縁膜45とBPSGから成る平坦化絶縁膜32とを順次に全面に堆積させた後、熱処理を加えて平坦化絶縁膜32の表面を平滑化させる。

【0027】次に、図8に示す様に、ビット線34用のコンタクト孔33のパターンに、平坦化絶縁膜32上でフォトレジスト46を加工する。そして、このフォトレジスト46をマスクにして、平坦化絶縁膜32、層間絶縁膜45及びゲート酸化膜23を順次に選択的に除去して、拡散層17に達するコンタクト孔33を開孔する。

6

その後、フォトレジスト46を除去する。

【0028】次に、図9に示す様に、選択ゲート26と分路44とを接続するためのコンタクト孔のパターンに、平坦化絶縁膜32上でフォトレジスト47を加工する。そして、このフォトレジスト47をマスクにして、平坦化絶縁膜32、層間絶縁膜45、分路44及び容量結合絶縁膜27を順次に選択的に除去して、選択ゲート26に達するコンタクト孔51を開孔する。

【0029】次に、フォトレジスト47を除去してから、タングステン膜をCVD法で全面に堆積させる。そして、このタングステン膜の全面を異方性エッチングして、図10に示す様に、コンタクト孔33、51をタングステンプラグ52で埋め込む。

【0030】次に、図11に示す様に、層間絶縁膜53を全面に堆積させ、コンタクト孔33に重なるコンタクト孔のパターンに、層間絶縁膜53上でフォトレジスト54を加工する。そして、このフォトレジスト54をマスクにして、層間絶縁膜53を選択的に除去して、コンタクト孔33中のタングステンプラグ52に達するコンタクト孔55を開孔する。

【0031】次に、フォトレジスト54を除去してから、AlSiCu膜を全面に形成する。そして、図12に示す様に、パターンニングしたフォトレジスト56をマスクにして、AlSiCu膜を選択的に除去することによって、コンタクト孔55を介してコンタクト孔33中のタングステンプラグ52にコンタクトするビット線34を形成する。

【0032】次に、図1に示した様に、フォトレジスト56を除去した後、プラズマSiNから成るオーバパッシベーション膜57を全面に形成して、記憶セル部を完成させる。その後、オーバパッシベーション膜57にパッド用窓(図示せず)を開孔して、ウエハ工程を終了させる。

【0033】以上の様にして製造した本実施例の不揮発性半導体記憶装置では、次の表2に示す様に、書込時には、制御ゲート31に-10Vの負電位を印加するので、この制御ゲート31とビット線34との電位差を既述の一従来例と等しい15Vに保つために、ビット線34に5Vの電位が印加するだけでよい。

【0034】

【表2】

	書 込	消 去	読 出
選択ゲート	5 V	0 V	3 V
制御ゲート	-10 V	15 V	0 V
ビット線	5 V	0 V	3 V
ソース線	浮 遊	0 V	0 V
ウェル	0 V	0 V	0 V

【0035】このため、本実施例の不揮発性半導体記憶装置では、図1に示した様に、拡散層16、17に電界緩和層を設ける必要がなく、また、選択トランジスタ14のゲート酸化膜23も記憶トランジスタ13においてファウラーノルドハイムトンネリングを行うためのゲート酸化膜23と同じ10nmの膜厚でよい。なお、本実施例の不揮発性半導体記憶装置における消去動作では、

【0036】

【発明の効果】請求項1の不揮発性半導体記憶装置では、記憶トランジスタの浮遊ゲートに対してファウラーノルドハイムトンネリングを生じさせるゲート誘電体膜と、選択トランジスタにおけるゲート誘電体膜とを、同時に形成することができるので、製造工程が少なく、

【0037】請求項2の不揮発性半導体記憶装置では、選択トランジスタのゲート電極と記憶トランジスタの浮遊ゲートとを同時に形成することができるので、製造工程が少なく、製造コストが低い。

【0038】請求項3の不揮発性半導体記憶装置では、選択トランジスタのゲート電極に電気的に短絡されている配線が、このゲート電極の分路になっているので、信号遅延が少なく、動作が高速である。しかも、この配線を記憶トランジスタの制御ゲート及び選択トランジスタのゲート電極と同時に形成することができるので、製造工程が少なく、製造コストが低い。

【0039】請求項4の不揮発性半導体記憶装置の製造方法では、記憶トランジスタの浮遊ゲートに対してファウラーノルドハイムトンネリングを生じさせるゲート誘電体膜と、選択トランジスタにおけるゲート誘電体膜とを、同時に形成しているため、製造工程が少なく、製造コストが低い。

【0040】請求項5の不揮発性半導体記憶装置の使用

を設ける必要がないので、高集積化が可能である。また、選択トランジスタにおけるゲート誘電体膜の膜厚を、記憶トランジスタにおける浮遊ゲートに対してファウラーノルドハイムトンネリングを生じさせるゲート誘電体膜の膜厚と同じにすることができ、これらのゲート誘電体膜を同時に形成することができるので、製造工程を少なくして、製造コストを低減させることができる。

【図面の簡単な説明】

【図1】本願の発明の一実施例による不揮発性半導体記憶装置の記憶セルを示しており、(a) (b) 及び (c) は図2 (b) の夫々A-A線、B-B線及びC-C線に沿う位置における側断面図である。

【図2】一実施例による不揮発性半導体記憶装置の記憶セルアレイを示しており、(a) 及び (b) は夫々等価回路図及び平面図である。

【図3】一実施例による不揮発性半導体記憶装置の記憶セルを製造するための最初の工程を示しており、(a) (b) 及び (c) は図2 (b) の夫々A-A線、B-B線及びC-C線に沿う位置における側断面図である。

【図4】図3に続く工程を示しており、(a) (b) 及び (c) は図2 (b) の夫々A-A線、B-B線及びC-C線に沿う位置における側断面図である。

【図5】図4に続く工程を示しており、(a) (b) 及び (c) は図2 (b) の夫々A-A線、B-B線及びC-C線に沿う位置における側断面図である。

【図6】図5に続く工程を示しており、(a) (b) 及び (c) は図2 (b) の夫々A-A線、B-B線及びC-C線に沿う位置における側断面図である。

【図7】図6に続く工程を示しており、(a) (b) 及び (c) は図2 (b) の夫々A-A線、B-B線及びC-C線に沿う位置における側断面図である。

【図8】図7に続く工程を示しており、(a) (b) 及び (c) は図2 (b) の夫々A-A線、B-B線及びC-C線に沿う位置における側断面図である。

【図9】図8に続く工程を示しており、(a) (b) 及び (c) は図2 (b) の夫々A-A線、B-B線及びC

10

*記憶装置の記憶セルを示す側断面図である。

【符号の説明】

13 記憶トランジスタ

14 選択トランジスタ

16 拡散層

23 ゲート酸化膜

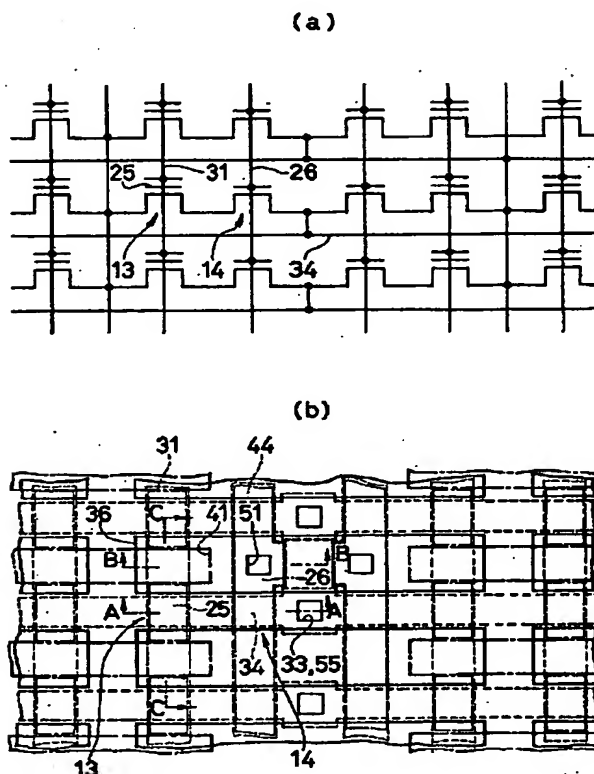
25 浮遊ゲート

26 選択ゲート

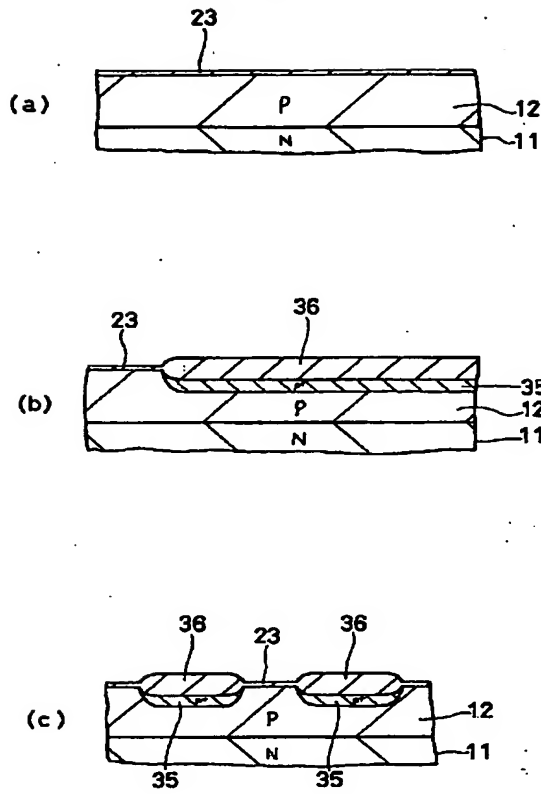
3 1 制御ゲート

4.4 分路

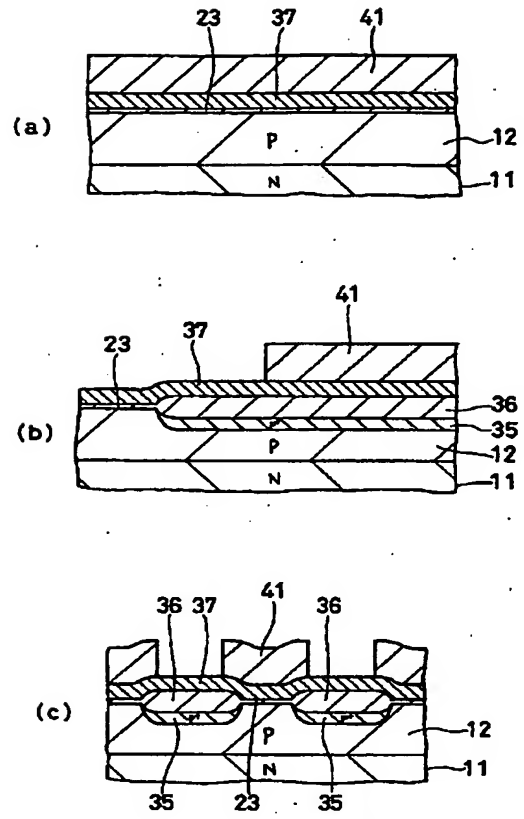
【图2】



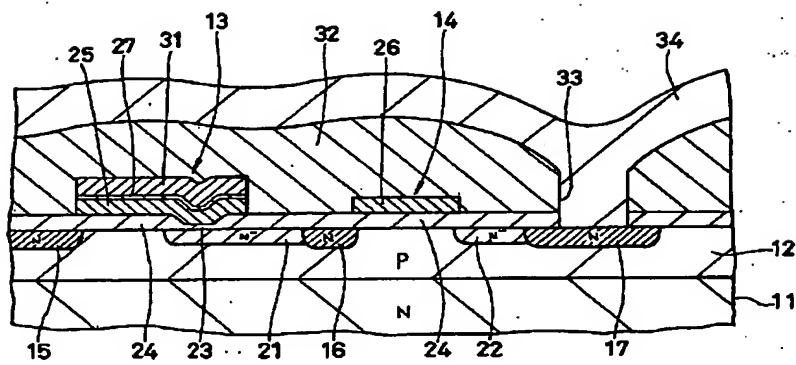
【図 3】



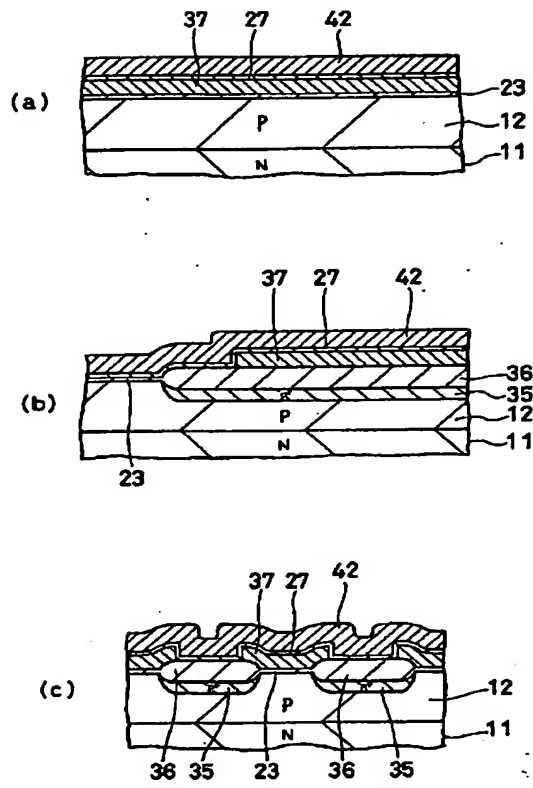
【図 4】



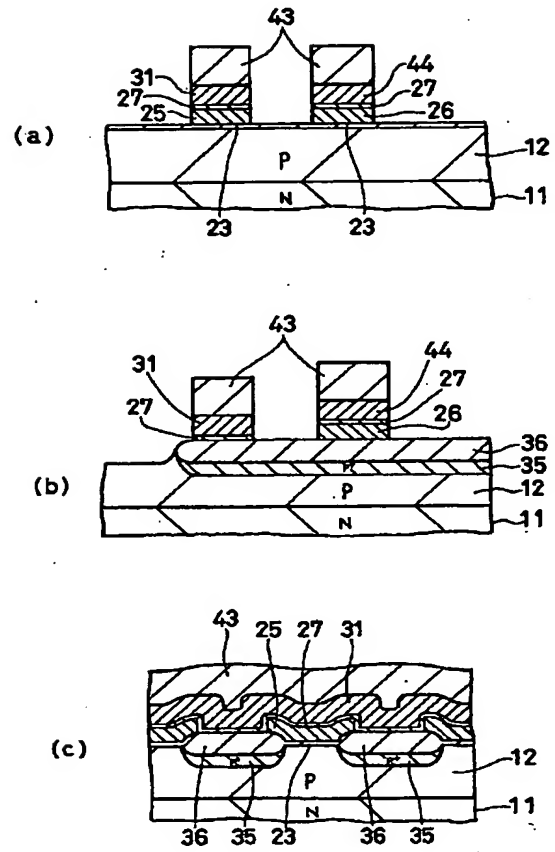
【図 13】



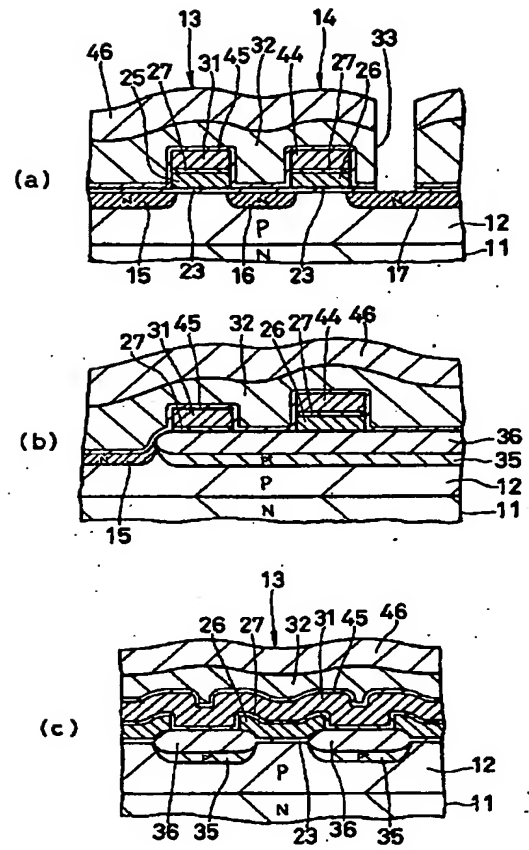
【図 5】



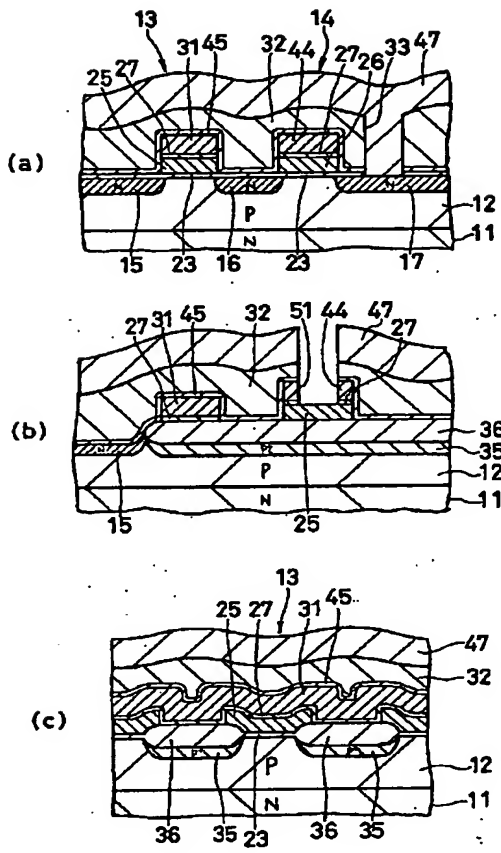
【図 6】



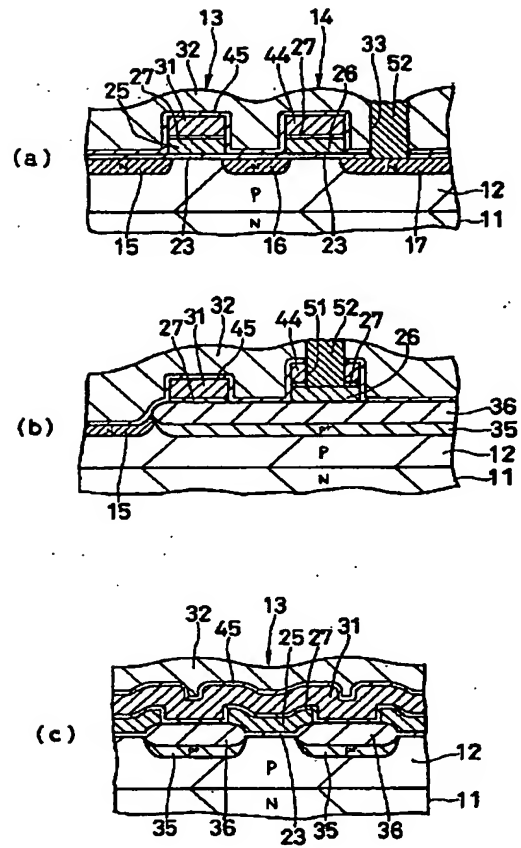
【图8】



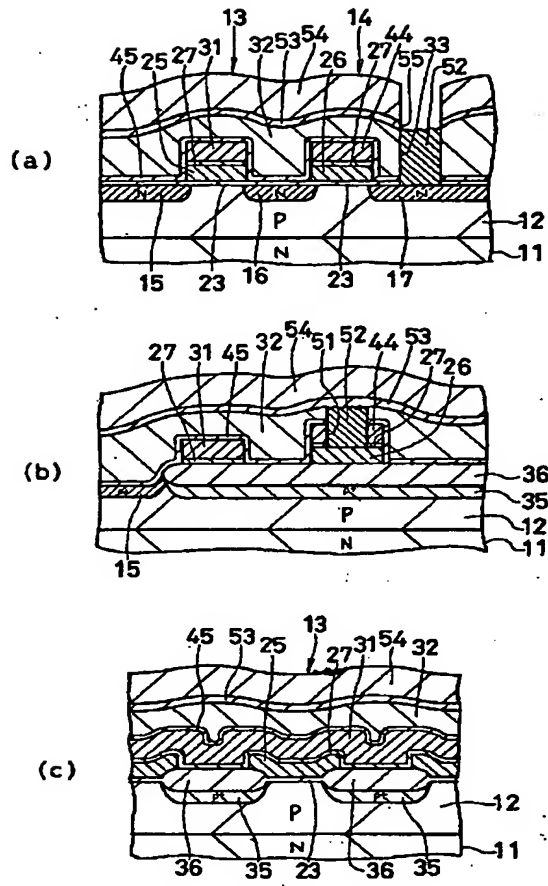
【図9】



【図10】



【図 11】



【図 12】

